

10/518819

10/518022

CT/KR 2004/001480

Rec'd PCT/PTO 14 DEC 2004 RO/KR 21.06.2004

REC'D 06 JUL 2004

WIR

PCT

대한민국 특허

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0041409
Application Number

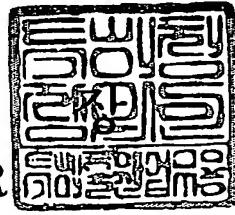
출원년월일 : 2003년 06월 25일
Date of Application JUN 25, 2003

출원인 : 엘지이노텍 주식회사
Applicant(s) LG INNOTECH CO., LTD.

2004년 06월 21일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2003.06.25		
【국제특허분류】	H01L		
【발명의 명칭】	질화물 반도체 발광소자 및 그 제조방법		
【발명의 영문명칭】	Nitride semiconductor LED and fabrication method for thereof		
【출원인】			
【명칭】	엘지이노텍 주식회사		
【출원인코드】	1-1998-000285-5		
【대리인】			
【성명】	허용록		
【대리인코드】	9-1998-000616-9		
【포괄위임등록번호】	2002-038994-0		
【발명자】			
【성명의 국문표기】	이석현		
【성명의 영문표기】	LEE, Suk Hun		
【주민등록번호】	690427-1951815		
【우편번호】	506-302		
【주소】	광주광역시 광산구 월계동 라인7차아파트 705동 502호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 허용록 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	12	면	12,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	30	항	1,069,000 원
【합계】	1,110,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명에 따른 질화물 반도체 발광소자는, 기판과; 기판 위에 형성된 GaN계 베퍼층과; 베퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층과; 제 1 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층과; $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 위에 형성된 n형의 제 1 전극층과; 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층과; 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층과; 제 2 In-doped GaN층 위에 형성된 p-GaN층; 및 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함한다.

또한 본 발명에 의하면, 제 1 전극층은 실리콘과 인듐이 동시 도핑된 GaN층이며, 제 2 전극층은 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조로 형성된다.

또한 본 발명에 의하면, 활성층은 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조로 구성되며, 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 $In_zGa_{1-z}N$ 장벽층 표면까지 연결되어 성장된다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

질화물 반도체 발광소자 및 그 제조방법{Nitride semiconductor LED and fabrication method for thereof}

【도면의 간단한 설명】

도 1은 본 발명에 따른 질화물 반도체 발광소자의 제 1 실시 예의 적층 구조를 나타낸 도면.

도 2는 본 발명에 따른 질화물 반도체 발광소자의 제 2 실시 예의 적층 구조를 나타낸 도면.

도 3은 본 발명에 따른 질화물 반도체 발광소자의 제 3 실시 예의 적층 구조를 나타낸 도면.

도 4는 본 발명에 따른 질화물 반도체 발광소자의 제 4 실시 예의 적층 구조를 나타낸 도면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 질화물 반도체에 관한 것으로서, 특히 기판 위에 성장되는 GaN계 단결정층과 기판의 열팽창 계수 및 격자상수의 차이에서 발생되는 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

<6> 또한, 본 발명은 질화물 반도체에 관한 것으로서, 특히 단일양자우물구조의 활성층만으로도 실용적인 고휘도의 성능을 구현할 수 있는 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

<7> 일반적으로 GaN계 질화물 반도체는 그 응용 분야에 있어서 청색/녹색 LED의 광소자 및 MESFET, HEMT 등의 고속 스위칭, 고출력 소자인 전자소자에 응용되고 있다. 특히 청색/녹색 LED 소자는 이미 양산화가 진행된 상태이며 전세계적인 매출은 지수함수적으로 증가되고 있는 상황이다.

<8> 이와 같은 GaN계 질화물 반도체 발광소자는 주로 사파이어 기판 또는 SiC 기판 위에서 성장된다. 그리고, 저온의 성장 온도에서 사파이어 기판 또는 SiC 기판 위에 $Al_yGa_{1-y}N$ 의 다결정 박막을 버퍼층(buffer layer)으로 성장시키고, 이후 고온에서 상기 버퍼층 위에 도핑되지 않은 GaN 층, 실리콘(Si)이 도핑된 n-GaN 층 또는 상기 구조의 혼합된 구조로 성장시켜 n-GaN 층을 제 1 전극층으로 하며, 상부에 마그네슘(Mg)이 도핑된 p-GaN 층을 제 2 전극층으로 하여 질화물 반도체 발광소자가 제조된다. 또한, 발광층(다중양자우물구조 활성층)은 상기 n-GaN 제 1 전극층과 p-GaN 제 2 전극층 사이에 샌드위치 구조로 형성된다.

<9> 그런데, 이와 같은 구조를 구비하는 질화물 반도체 발광소자는 기판과 버퍼층 계면에서 발생되는 결정결함이 약 $10^8/cm^2$ 정도로 매우 높은 값을 가지며, 그에 따른 질화물 반도체 발광 소자의 전기적 특성 특히, 역바이어스 조건 하에서 누설전류가 증가하게 됨으로써, 소자의 신뢰성에 치명적인 영향을 미치는 문제점이 있다.

<10> 또한, 이러한 버퍼층과 기판 사이의 계면에서 발생되는 결정결함은 발광층의 결정성에 대해서도 저하시키게 됨으로써, 질화물 반도체 발광소자의 발광효율을 떨어뜨리는 문제점이 있다.

<11> 한편, GaN계 질화물 반도체의 성능을 향상시키고, 신뢰성을 보다 확보하기 위하여, 현재 새로운 베퍼층에 대한 모색 및 GaN계 질화물 반도체의 제조방법에 대한 연구가 활발하게 진행되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명은, 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 질화물 반도체 발광소자 및 그 제조방법을 제공함에 그 목적이 있다.

<13> 또한 본 발명은, 단일양자우물구조의 활성층만으로도 실용적인 고휘도의 성능을 구현할 수 있는 질화물 반도체 발광소자 및 그 제조방법을 제공함에 그 목적이 있다.

【발명의 구성】

<14> 상기의 목적을 달성하기 위하여 본 발명에 따른 질화물 반도체 발광소자는,

<15> 기판과;

<16> 상기 기판 위에 형성된 GaN계 베퍼층과;

<17> 상기 베퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층과;

<18> 상기 제 1 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층과;

<19> 상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 위에 형성된 n형의 제 1 전극층과;

<20> 상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층과;

<21> 상기 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층과;

<22> 상기 제 2 In-doped GaN층 위에 형성된 p-GaN층; 및

<23> 상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 점에 그 특징이 있다.

<24> 여기서 본 발명에 의하면, 상기 GaN계 베퍼층은 $In_xGa_{1-x}N/GaN$ 초격자 구조, $In_xGa_{1-x}N/GaN$, $Al_xIn_yGa_{1-x,y}N/In_xGa_{1-x}N/GaN$ 의 적층구조 중에서 하나의 구조로 형성된 점에 그 특징이 있다.

<25> 또한 본 발명에 의하면, 상기 제 1 전극층은 실리콘파 인듐이 동시 도핑된 GaN층인 점에 그 특징이 있다.

<26> 또한 본 발명에 의하면, 상기 활성층은 단일양자우물구조 또는 다중양자우물구조로 형성된 점에 그 특징이 있다.

<27> 또한 본 발명에 의하면, 상기 활성층은 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조로 구성되며, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층에 도핑되는 인듐 함량은 상기 $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량이 비하여 더 적은 값을 갖는 점에 그 특징이 있다.

<28> 또한 본 발명에 의하면, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 의 값을 갖는 점에 그 특징이 있다.

<29> 또한 본 발명에 의하면, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상 (spiral mode)으로 성장되며, 그 나선형상은 상기 $In_zGa_{1-z}N$ 장벽층 표면까지 연결되어 성장된 점에 그 특징이 있다.

<30> 또한 본 발명에 의하면, 상기 제 2 전극층은 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조로 형성된 점에 그 특징이 있다.

<31> 또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 질화를 반도체 발광소자는,

<32> 기판과;

- <33> 상기 기판 위에 형성된 GaN계 베퍼층과;
- <34> 상기 베퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층과;
- <35> 상기 제 1 In-doped GaN층 위에 형성된 n형의 제 1 전극층과;
- <36> 상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층과;
- <37> 상기 활성층 위에 형성된 p-GaN층; 및
- <38> 상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 점에 그 특징이 있다.
- <39> 여기서 본 발명에 의하면, 상기 활성층과 상기 p-GaN층 사이에, 인듐이 도핑된 제 2 In-doped GaN층이 더 형성된 점에 그 특징이 있다.
- <40> 또한 본 발명에 의하면, 상기 제 1 In-doped GaN층과 상기 제 1 전극층 사이에, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층이 더 형성된 점에 그 특징이 있다.
- <41> 또한 본 발명에 의하면, 상기 제 1 In-doped GaN층과 상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 사이에, undoped GaN층이 더 형성된 점에 그 특징이 있다.
- <42> 또한, 상기의 목적을 달성하기 위하여 본 발명에 따른 질화물 반도체 발광소자의 제조방법은,
- <43> 기판 위에 GaN계 베퍼층을 형성하는 단계와;
- <44> 상기 베퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계와;
- <45> 상기 제 1 In-doped GaN층 위에 n형의 제 1 전극층을 형성하는 단계와;
- <46> 상기 제 1 전극층 위에, 빛을 방출하는 활성층을 형성하는 단계와;
- <47> 상기 활성층 위에 p-GaN층을 형성하는 단계; 및

<48> 상기 p-GaN층 위에 n형의 제 2 전극층을 형성하는 단계; 를 포함하는 점에 그 특징이 있다.

<49> 이와 같은 본 발명에 의하면, 질화물 반도체 발광소자의 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 장점이 있다.

<50> 또한 본 발명에 의하면, 단일양자우물구조의 활성층만으로도 실용적인 고휘도의 성능을 구현할 수 있는 장점이 있다.

<51> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세히 설명한다.

<52> 도 1은 본 발명에 따른 질화물 반도체 발광소자의 제 1 실시 예의 적층 구조를 나타낸 도면이다.

<53> 도 1은 본 발명에 따른 질화물 반도체 발광소자의 제조방법에 의하여, 기판(102) 위에 버퍼층(buffer layer)(104)을 성장시키고, n-GaN(실리콘/인듐 동시 도핑)층을 제 1 전극층(108)으로 하고, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(120)으로 성장시킨 질화물 반도체 발광소자의 단면 구조를 나타낸 것이다. 여기서, 상기 제 1 전극층(108) 및 제 2 전극층(120)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

<54> 또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 GaN층(110)과, $In_xGa_{1-x}N$ 우물층(well)(112) 및 $In_xGa_{1-x}N$ 장벽층(barrier)(114)의 한 쌍으로 이루어진 양자우물 구조를 갖는 활성층(116)이 상기 제 1 전극층(108)과 상기 제 2 전극층(120) 사이에 샌드위치 결합구조로 구성된 이중접합 구조를 갖는다.

<55> 그리고, 상기 베페층(104)과 제 1 전극층(108) 사이에는 인듐(In)이 도핑된 GaN층(106)이 마련되며, 상기 $In_xGa_{1-x}N$ 장벽층(barrier)(114)과 제 2 전극층(120) 사이에는 p-GaN층(118)이 더 마련된다.

<56> 그러면, 본 발명에 따른 질화물 반도체 발광소자의 제조방법을 좀 더 부연하여 설명하기로 한다.

<57> 먼저, 사파이어 기판(102) 위에 저온의 성장온도에서 GaN계 질화물 반도체의 베페층(104) 박막을 성장시킨다. 여기서, 저온의 성장온도에서 GaN계 질화물 반도체의 상기 베페층(104) 박막을 성장시킴에 있어, $InGaN/GaN$ 초격자 구조 및 $In_xGa_{1-x}N/GaN$, $Al_xIn_yGa_{1-x,y}N/In_xGa_{1-x}N/GaN$ 의 적층구조 등으로 형성시킬 수 있다.

<58> 이와 같이, 상기 기판(102) 위에 상기 베페층(104)이 형성됨에 따라, 상기 기판(102) 위에 성장되는 GaN계 단결정 박막과의 열팽창계수 및 격자상수의 불일치에 의해서 발생되는 결정결합을 효과적으로 억제시켜 고품질의 GaN계 질화물 반도체를 성장시킬 수 있는 기반을 갖출 수 있게 된다.

<59> 이때, 상기 GaN계 질화물 반도체 베페층(104)을 성장시키는 단계에 있어, 성장온도를 500°C~700°C로 하며, H_2 , N_2 캐리어 가스를 공급하면서 TMGa, TMIn, TMAI 소스(source) 가스를 유입시키고, NH_3 가스를 유입시켜 질화물 반도체 베페층을 성장시킨다.

<60> 그리고, 상기 성장된 베페층(104) 위에 고온의 성장온도에서 인듐(In)이 도핑된 GaN층(106) 및 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(108)을 성장시킨다. 여기서, 상기 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(108)은 제 1 전극층으로 이용된다.

<61> 이때, 상기 질화물 반도체 GaN계 단결정 박막을 성장시키는 단계에 있어, MOCVD 장비를 이용하여 900°C~1100°C에서 TMGa, TMIn, TMA1 소스 가스를 공급시켜 단결정 GaN계 질화물 반도체 박막을 성장시키고 도핑원으로는 SiH₄ 가스와 인듐 도핑원으로 TMIn 소오스가 사용된다.

<62> 이후, 원하는 파장 대역의 빛을 방출하는 활성층은 In_xGa_{1-x}N/In_yGa_{1-y}N 하나의 양자우물층(single quantum well) 구조로 구성된다. 이상과 같은 구조의 활성층을 성장시키기 전에 활성층의 내부 양자효율을 향상시키는 인듐 함량이 낮은 In_xGa_{1-x}N(0 < x ≤ 0.2) 층(110)을 50~300Å 범위 내에서 성장시킨다. 그리고, 상기 인듐 함량이 낮은 In_xGa_{1-x}N층(110) 위에 인듐 함량이 서로 다른, 빛을 방출하는 InGaN 우물층(112)과 InGaN 장벽층(114)으로 구성된 하나의 양자우물층을 성장시켜 활성층으로 사용한다.

<63> 이때, 상기 인듐 함량이 낮은 In_xGa_{1-x}N 층(110)과, In_xGa_{1-x}N(0 < x ≤ 0.35)/In_yGa_{1-y}N(0 < y ≤ 0.2)로 형성되는 하나의 양자우물구조로 구성된 활성층의 성장단계에 있어, N₂, H₂+N₂ 캐리어 가스 및 NH₃ 분위기에서 TMGa, TMIn, TMA1 소스를 유입시켜 성장시킨다. 그리고, 인듐 함량이 낮은 In_xGa_{1-x}N 층(110)의 두께는 10~500Å이며, 표면 성장 형상은 균일한 나선형상(spiral mode)으로 성장이 되도록 한다.

<64> 또한, 빛을 방출하는 상기 InGaN 우물층(112)과 InGaN 장벽층(114)의 두께는 각각 5~30Å 및 50~500Å 정도로 구성되며 성장온도는 700~800°C 정도이다. 그리고, 고휘도 발광 다이오드의 성능 구현을 위해서는 인듐 함량이 낮은 In_xGa_{1-x}N 층(110)의 표면에 균일하게 성장된 나선형상이 상기 In_yGa_{1-y}N 장벽층(114)까지 그 형태를 유지해야만 한다. 이와 같은 성장 조건을 통해서도 실용적인 고휘도의 발광소자를 제조할 수 있게 된다.

<65> 한편, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(110), 상기 $In_yGa_{1-y}N$ 우물층(112), $In_zGa_{1-z}N$ 장벽층(114)에 도핑되는 함량은 분포는 다음과 같이 조절할 수도 있다. 즉, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(110)의 인듐 함량은 상기 $In_yGa_{1-y}N$ 장벽층(114)보다 낮도록 조절하며, 각 도핑되는 인듐의 함량은 $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 로 조절하도록 한다.

<66> 그리고, 빛을 방출하는 활성층을 성장시킨 후, 온도를 증가시켜 Mg 원자가 도핑된 p-GaN 단결정층(118)을 H_2 , N_2 , H_2+N_2 와 NH_3 가스 분위기에서 성장시킨다. 상기 p-GaN 층(118)의 두께는 500~5000 Å이며, 이때 성장온도는 900~1020°C 범위에서 수행된다.

<67> 이후, 상기 p-GaN 층(118)을 성장시킨 후, 그 위에 제 2 전극층(120)으로 사용되는 $In_xGa_{1-x}N$ ($0 < x \leq 0.2$)/ $In_yGa_{1-y}N$ ($0 < y \leq 0.2$) 초격자 구조의 층을 성장시켜 터널링 효과를 갖게 한다. 상기 $In_xGa_{1-x}N$ / $In_yGa_{1-y}N$ 초격자 구조는 제 2 전극층(120)의 전류 퍼짐을 효과적으로 수행하며, 상기 제 1 전극층(108)과 동일한 전극 금속을 사용하여 형성시킬 수 있다는 장점이 있다.

<68> 본 발명에 따른 질화물 반도체 발광소자에 의하면, 상기 제 1 전극층(108)과 제 2 전극층(120)은 n형/n형의 전극층으로 형성된다. 따라서 본 발명에 의하면, 종래 질화물 반도체 발광소자에서는 제 1 전극층과 제 2 전극층이 n형/p형으로 형성됨에 따라, 종래 제 2 전극층으로 사용되는 p-GaN층의 낮은 마그네슘(Mg) 도핑 효율에 의해서 발생되었던 높은 접촉저항과 그에 수반되는 전류 퍼짐층(current spreading layer)을 제거할 수 있게 된다.

<69> 그리고, 상기 p-GaN층(118)과의 관계를 고려하면, 상기 제 1 전극층(108), p-GaN층(118), 제 2 전극층(120)은 n형/p형/n형의 접합 관계를 갖는 것으로 표현할 수도 있다.

<70> 여기서, 상기 제 2 전극층(120)의 두께는 각각 2~50Å으로 교대로 구성되며 최대 200Å 미만으로 구성된다. 또한, 성장온도는 700~850°C 범위 내이며 N₂, N₂+H₂와 NH₃ 가스 및 TMGa, TMIIn 소스를 유입시켜 성장시켜, 내부 양자효율 및 동작 전압 특성이 우수한 이종 접합 구조의 고휘도 발광 다이오드를 성장시킬 수 있게 된다.

<71> 한편, 도 2는 본 발명에 따른 질화물 반도체 발광소자의 제 2 실시 예의 적층 구조를 나타낸 도면이다.

<72> 도 2에 나타낸 질화물 반도체 발광소자의 기본적인 적층 구조는 도 1에 나타낸 제 1 실시 예와 유사하다. 다만, 도 2에 나타낸 제 2 실시 예에 의하면, 본 발명에 따른 질화물 반도체 발광소자는, 기판(202)과 실리콘/인듐 도핑된 GaN 단결정층(212)과의 격자상수 및 열팽창 계수의 차이에서 발생되는 결정결함을 최소화 시키기 위해서 In_xGa_{1-x}N/In_yGa_{1-y}N 초격자 구조를 갖는 층(210)이 제 1 전극층(212) 밑에 추가로 삽입된 이종접합 구조를 갖는다.

<73> 이와 같은 구조는 기판(202)과 저온의 버퍼층(204)에서부터 전파되는 전위밀도를 감소시켜 발광소자의 역방향 파괴전압(reverse breakdown voltage, V_{br})을 개선하여 신뢰성을 향상시키는 역할을 한다.

<74> 본 발명에 따른 질화물 반도체 발광소자의 제 2 실시 예의 구조를 간략하게 설명하면 다음과 같다.

<75> 도 2는 본 발명에 따른 질화물 반도체 발광소자의 제조방법에 의하여, 기판(202) 위에 버퍼층(buffer layer)(204)을 성장시키고, n-GaN(실리콘/인듐 동시 도핑)층을 제 1 전극층(212)으로 하고, In_xGa_{1-x}N/In_yGa_{1-y}N 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(224)으로 성장시킨 질화물 반도체 발광소자의 단면 구조를 나타낸 것이다. 여기서, 상

기 제 1 전극층(212) 및 제 2 전극층(224)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

<76> 또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 GaN층(214)과, $In_xGa_{1-x}N$ 우물층(well)(216) 및 $In_xGa_{1-x}N$ 장벽층(barrier)(218)의 한 쌍으로 이루어진 단일 양자우물 구조를 갖는 활성층(220)이 상기 제 1 전극층(210)과 상기 제 2 전극층(224) 사이에 샌드위치 결합구조로 구성된 이종접합 구조를 갖는다.

<77> 그리고, 상기 베퍼층(204)과 제 1 전극층(210) 사이에는 인듐(In)이 도핑된 GaN층(206)과, 도핑되지 않은 GaN층(208)이 마련되며, 상기 $In_xGa_{1-x}N$ 장벽층(barrier)(218)과 제 2 전극층(224) 사이에는 p-GaN층(222)이 더 마련된다.

<78> 이상과 같은 구조를 갖는 질화물 반도체 발광소자의 제조방법은 제 1 실시 예에서 설명 된 바와 유사하므로, 여기서는 그 제조방법에 대한 설명은 생략하기로 한다.

<79> 한편, 도 3은 본 발명에 따른 질화물 반도체 발광소자의 제 3 실시 예의 적층 구조를 나타낸 도면이다.

<80> 도 3에 나타낸 질화물 반도체 발광소자의 기본적인 적층 구조는 도 1에 나타낸 제 1 실시 예와 유사하다. 다만, 도 3에 나타낸 제 3 실시 예에 의하면, 본 발명에 따른 질화물 반도체 발광소자는, p-GaN층(320)과 $In_xGa_{1-x}N$ 장벽층(314) 사이에 인듐(In) 도핑된 GaN층(320)이 추가로 삽입된 이종접합 구조를 갖는다.

<81> 이와 같은 구조는, 상기 인듐 도핑된 GaN층(320)이 추가로 형성됨으로써, 상기 p-GaN층(320)에서 도핑원으로 사용된 마그네슘(Mg) 원자의 내부 확산(In-diffusion) 현상을 억제시키

고 특성을 향상시킬 수 있게 된다. 여기서 상기 인듐 도핑된 GaN층(302)은 그 두께를 100Å 이하로 성장시키도록 한다.

<82> 본 발명에 따른 질화물 반도체 발광소자의 제 3 실시 예의 구조를 간략하게 설명하면 다음과 같다.

<83> 도 3은 본 발명에 따른 질화물 반도체 발광소자의 제조방법에 의하여, 기판(302) 위에 버퍼층(buffer layer)(304)을 성장시키고, n-GaN(실리콘/인듐 동시 도핑)층을 제 1 전극층(308)으로 하고, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)를 갖는 층을 제 2 전극층(322)으로 성장시킨 질화물 반도체 발광소자의 단면 구조를 나타낸 것이다. 여기서, 상기 제 1 전극층(308) 및 제 2 전극층(322)에는 추후 진행되는 공정에서 각각 전극(미도시)이 형성되고, 이를 통하여 전압이 인가되게 된다.

<84> 또한, 본 발명에 따른 질화물 반도체 발광소자는, 인듐(In)이 소량 첨가된 GaN층(310)과, $In_xGa_{1-x}N$ 우물층(well)(312) 및 $In_xGa_{1-x}N$ 장벽층(barrier)(314)의 한 쌍으로 이루어진 단일 양자우물 구조를 갖는 활성층(316)이 상기 제 1 전극층(308)과 상기 제 2 전극층(322) 사이에 샌드위치 결합구조로 구성된 이종접합 구조를 갖는다.

<85> 그리고, 상기 버퍼층(304)과 제 1 전극층(308) 사이에는 인듐(In)이 도핑된 GaN층(306)이 마련되며, 상기 $In_xGa_{1-x}N$ 장벽층(barrier)(314)과 제 2 전극층(322) 사이에는 p-GaN층(320)과, 인듐 도핑된 GaN층(318)이 더 마련된다.

<86> 이상과 같은 구조를 갖는 질화물 반도체 발광소자의 제조방법은 제 1 실시 예에서 설명된 바와 유사하므로, 여기서는 그 제조방법에 대한 설명은 생략하기로 한다.

<87> 그리고, 도 4는 본 발명에 따른 질화물 반도체 발광소자의 제 4 실시 예의 적층 구조를 나타낸 도면이다.

<88> 도 4에 나타낸 바와 같이, 사파이어 기판(402) 위에 저온의 성장온도에서 GaN계 질화물 반도체의 버퍼층(404) 박막을 성장시킨다. 여기서, 저온의 성장온도에서 GaN계 질화물 반도체의 상기 버퍼층(404) 박막을 성장시킴에 있어, InGaN/GaN 초격자 구조 및 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$, $\text{Al}_x\text{In}_{y}\text{Ga}_{1-x,y}\text{N}/\text{In}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ 의 적층구조 등으로 형성시킬 수 있다.

<89> 이와 같이, 상기 기판(402) 위에 상기 버퍼층(404)이 형성됨에 따라, 상기 기판(402) 위에 성장되는 GaN계 단결정 박막과의 열팽창계수 및 격자상수의 불일치에 의해서 발생되는 결정 결함을 효과적으로 억제시켜 고품질의 GaN계 질화물 반도체를 성장시킬 수 있는 기반을 갖출 수 있게 된다.

<90> 그리고, 상기 성장된 버퍼층(404) 위에 고온의 성장온도에서 인듐(In)이 도핑된 GaN층(406)을 성장시킨다. 그리고, 상기 기판(404)과의 격자상수 및 열팽창 계수의 차이에서 발생되는 결정결함을 최소화시키기 위해서 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조를 갖는 층(408)을 추가로 형성시킨다.

<91> 이와 같은 구조는 기판(402)과 저온의 버퍼층(404)에서부터 전파되는 전위밀도를 감소시켜 발광소자의 역방향 파괴전압(reverse breakdown voltage, V_{br})을 개선하여 신뢰성을 향상시킬 수 있게 된다.

<92> 그리고, 제 4 실시 예에서는 결정결함을 최소화하기 위하여, 상기 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(408) 위에 인듐(In) 도핑된 GaN층(412)과 $\text{In}_x\text{Ga}_{1-x}\text{N}/\text{In}_y\text{Ga}_{1-y}\text{N}$ 초격자 구조층(414)을 더 형성시키도록 하였다.

<93> 이후, 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(416)을 성장시킨다. 여기서, 상기 실리콘(Si)과 인듐(In)이 동시 도핑된 GaN층(416)은 제 1 전극층으로 이용된다.

<94> 이후, 원하는 파장 대역의 빛을 방출하는 활성층(424)은 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 하나의 양자우물층(single quantum well) 구조로 구성된다. 이상과 같은 구조의 활성층(424)을 성장시키기 전에 상기 활성층(424)의 내부 양자효율을 향상시키는 인듐 함량이 낮은 $In_xGa_{1-x}N(0 < x \leq 0.2)$ 층(418)을 성장시킨다. 그리고, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(418) 위에 인듐 함량이 서로 다른, 빛을 방출하는 InGaN 우물층(420)과 InGaN 장벽층(422)으로 구성된 하나의 양자우물층을 성장시켜 활성층(424)으로 이용한다.

<95> 이때, 상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(418)과, $In_xGa_{1-x}N(0 < x \leq 0.35)/In_yGa_{1-y}N(0 < y \leq 0.2)$ 로 형성되는 하나의 양자우물구조로 구성된 활성층의 성장단계에 있어, N_2 , H_2+N_2 캐리어 가스 및 NH_3 분위기에서 TMGa, TMIn, TMAI 소스를 유입시켜 성장시킨다. 그리고, 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(418)의 두께는 10~500Å이며, 표면 성장 형상은 균일한 나선형상(spiral mode)으로 성장이 되도록 한다.

<96> 또한, 빛을 방출하는 상기 InGaN 우물층(420)과 InGaN 장벽층(422)의 두께는 각각 10~40Å 및 50~500Å 정도로 구성되며 성장온도는 700~800°C 정도이다. 그리고, 고휘도 발광 다이오드의 성능 구현을 위해서는 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층(418)의 표면에 균일하게 성장된 나선형상이 상기 $In_yGa_{1-y}N$ 장벽층(422)까지 그 형태를 유지해야만 한다. 이와 같은 성장 조건을 만족시키는 경우에는, 다중우물구조의 활성층이 아닌 단일양자우물구조의 활성층 형성을 통해서도 실용적인 고휘도의 발광소자를 제조할 수 있게 된다.

<97> 그리고, 빛을 방출하는 활성층을 성장시킨 후, 인듐(In) 도핑된 GaN층(426) 및 Mg 원자가 도핑된 p-GaN 단결정층(428)을 성장시킨다. 여기서, 상기 p-GaN 층(428)의 두께는 500~5000 Å이며, 이때 성장온도는 900~1020°C 범위에서 수행된다.

<98> 이후, 상기 p-GaN 층(428)을 성장시킨 후, 그 위에 제 2 전극층(430)으로 사용되는 $In_x Ga_{1-x} N$ ($0 < x \leq 0.2$) / $In_y Ga_{1-y} N$ ($0 < y \leq 0.2$) 초격자 구조의 층을 성장시켜 터널링 효과를 갖게 한다. 상기 $In_x Ga_{1-x} N$ / $In_y Ga_{1-y} N$ 초격자 구조는 제 2 전극층(430)의 전류 퍼짐을 효과적으로 수행하며, 상기 제 1 전극층(416)과 동일한 전극 금속을 사용하여 형성시킬 수 있다는 장점이 있다.

<99> 본 발명에 따른 질화물 반도체 발광소자에 의하면, 상기 제 1 전극층(416)과 제 2 전극 층(430)은 n형/n형의 전극층으로 형성된다. 따라서 본 발명에 의하면, 종래 질화물 반도체 발광소자에서는 제 1 전극층과 제 2 전극층이 n형/p형으로 형성됨에 따라, 종래 제 2 전극층으로 사용되는 p-GaN층의 낮은 Mg 도핑 효율에 의해서 발생되었던 높은 접촉저항과 그에 수반되는 전류 퍼짐층(current spreading layer)을 제거할 수 있게 된다.

<100> 그리고, 상기 p-GaN층(428)과의 관계를 고려하면, 상기 제 1 전극층(416), p-GaN층(428), 제 2 전극층(430)은 n형/p형/n형의 접합 관계를 갖는 것으로 표현할 수도 있다.

<101> 여기서, 상기 제 2 전극층(430)의 두께는 각각 2~50Å으로 교대로 구성되며 최대 200Å 미만으로 구성된다. 또한, 성장온도는 700~850°C 범위 내이며 N_2 , N_2+H_2 와 NH_3 가스 및 TMGa, TMIn 소스를 유입시켜 성장시켜, 내부 양자효율 및 동작 전압 특성이 우수한 이종 접합 구조의 고휘도 발광 다이오드를 성장시킬 수 있게 된다.

【발명의 효과】

<102> 이상의 설명에서와 같이 본 발명에 따른 질화물 반도체 발광소자 및 그 제조방법에 의하면, 질화물 반도체 발광소자의 결정결함을 줄이고 GaN계 단결정층의 결정성을 향상시킴으로써, 그 성능을 향상시키고 신뢰성을 확보할 수 있는 장점이 있다.

【특허청구범위】

【청구항 1】

기판과;

상기 기판 위에 형성된 GaN계 베퍼층과;

상기 베퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층과;

상기 제 1 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층과;

상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 위에 형성된 n형의 제 1 전극층과;

상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층과;

상기 활성층 위에 형성된 인듐이 도핑된 제 2 In-doped GaN층과;

상기 제 2 In-doped GaN층 위에 형성된 p-GaN층; 및

상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 것을 특징으로 하는 질화물

반도체 발광소자.

【청구항 2】

제 1항에 있어서,

상기 GaN계 베퍼층은, $InGaN/GaN$ 초격자 구조, $In_xGa_{1-x}N/GaN$, $Al_xIn_yGa_{1-x,y}N/In_xGa_{1-x}N/GaN$ 의 적층구조 중에서 하나의 구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 3】

제 1항에 있어서,

상기 제 1 전극층은 실리콘과 인듐이 동시 도핑된 GaN층인 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 4】

제 1항에 있어서,

상기 활성층은 단일양자우물구조 또는 다중양자우물구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 5】

제 1항에 있어서,

상기 활성층은, 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조로 구성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 6】

제 5항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층에 도핑되는 인듐 함량은 상기 $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량이 비하여 더 적은 값을 갖는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 7】

제 5항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 의 값을 갖는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 8】

제 5항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 9】

제 5항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 상기 $In_zGa_{1-z}N$ 장벽층 표면까지 연결되어 성장된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 10】

제 1항에 있어서,

상기 제 2 전극층은 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 11】

제 1항에 있어서,

상기 기판 위에 형성된 GaN계 벼퍼층과 상기 제 1 전극층 사이에는, 상기 벼퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층 및 상기 제 1 In-doped GaN층 위에 형성된 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층이 복수로 반복되어 더 적층 형성되는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 12】

기판과;

상기 기판 위에 형성된 GaN계 베퍼층과;

상기 베퍼층 위에 형성된 인듐이 도핑된 제 1 In-doped GaN층과;

상기 제 1 In-doped GaN층 위에 형성된 n형의 제 1 전극층과;

상기 제 1 전극층 위에 형성되며, 빛을 방출하는 활성층과;

상기 활성층 위에 형성된 p-GaN층; 및

상기 p-GaN층 위에 형성된 n형의 제 2 전극층; 을 포함하는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 13】

제 12항에 있어서,

상기 활성층과 상기 p-GaN층 사이에, 인듐이 도핑된 제 2 In-doped GaN층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 14】

제 12항 또는 제 13항에 있어서,

상기 제 1 In-doped GaN층과 상기 제 1 전극층 사이에, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조 층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 15】

제 14항에 있어서,

상기 제 1 In-doped GaN층과 상기 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조층 사이에, undoped GaN층이 더 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 16】

제 12항에 있어서,

상기 GaN계 베퍼층은, $InGaN/GaN$ 초격자 구조, $In_xGa_{1-x}N/GaN$, $Al_xIn_yGa_{1-x,y}N/In_xGa_{1-x}N/GaN$ 의 적층구조 중에서 하나의 구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 17】

제 12항에 있어서,

상기 제 1 전극층은 실리콘과 인듐이 동시 도핑된 GaN층인 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 18】

제 12항에 있어서,

상기 활성층은 단일양자우물구조 또는 다중양자우물구조로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 19】

제 12항에 있어서,

상기 활성층은, 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층으로 형성되는 단일양자우물구조 또는 다중양자우물구조로 구성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 20】

제 19항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층에 도핑되는 인듐 함량은 상기 $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량이 비하여 더 적은 값을 갖는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 21】

제 19항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층에 도핑되는 인듐 함량은, $0 < x < 0.05$, $0 < y < 0.3$, $0 < z < 0.1$ 의 값을 갖는 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 22】

제 19항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 23】

제 19항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)으로 성장되며, 그 나선형상은 상기 $In_zGa_{1-z}N$ 장벽층 표면까지 연결되어 성장된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 24】

제 12항에 있어서,

상기 제 2 전극층은 $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)로 형성된 것을 특징으로 하는 질화물 반도체 발광소자.

【청구항 25】

기판 위에 GaN계 벼퍼층을 형성하는 단계와;

상기 벼퍼층 위에 인듐이 도핑된 제 1 In-doped GaN층을 형성하는 단계와;

상기 제 1 In-doped GaN층 위에 n형의 제 1 전극층을 형성하는 단계와;

상기 제 1 전극층 위에, 빛을 방출하는 활성층을 형성하는 단계와;

상기 활성층 위에 p-GaN층을 형성하는 단계; 및

상기 p-GaN층 위에 n형의 제 2 전극층을 형성하는 단계; 를 포함하는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【청구항 26】

제 25항에 있어서,

상기 제 1 전극층으로, 실리콘과 인듐이 동시 도핑된 GaN층을 형성하는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【청구항 27】

제 25항에 있어서,

상기 제 2 전극층으로, $In_xGa_{1-x}N/In_yGa_{1-y}N$ 초격자 구조(super lattice structure)층을 형성하는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【청구항 28】

제 25항에 있어서,

상기 활성층으로, 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층과 $In_yGa_{1-y}N$ 우물층/ $In_zGa_{1-z}N$ 장벽층의 단일양자우물구조 또는 다중양자우물구조로 형성하는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【청구항 29】

제 28항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)이 되도록 성장시키는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【청구항 30】

제 28항에 있어서,

상기 인듐 함량이 낮은 $In_xGa_{1-x}N$ 층은 그 표면 형상이 나선형상(spiral mode)이 되도록 성장시키며, 그 나선형상은 상기 $In_zGa_{1-z}N$ 장벽층 표면까지 연결되도록 성장시키는 것을 특징으로 하는 질화물 반도체 발광소자의 제조방법.

【도면】

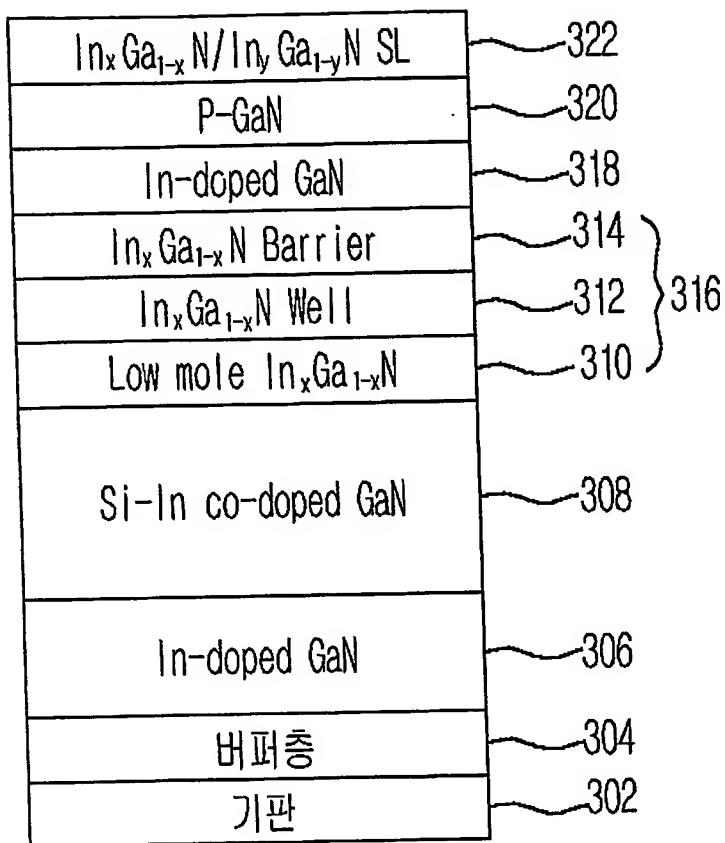
【도 1】

$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	120
P-GaN	118
$In_x Ga_{1-x} N$ Barrier	114
$In_x Ga_{1-x} N$ Well	112
Low mole $In_x Ga_{1-x} N$	110
Si-In co-doped GaN	108
In-doped GaN	106
비퍼총	104
기판	102

【도 2】

$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	224
P-GaN	222
$In_x Ga_{1-x} N$ Barrier	218
$In_x Ga_{1-x} N$ Well	216
Low mole $In_x Ga_{1-x} N$	214
Si-In co-doped GaN	212
$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	210
Undoped GaN	208
In-doped GaN	206
버퍼층	204
기판	202

【도 3】



【도 4】

$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	430
P-GaN	428
In-doped GaN	426
$In_x Ga_{1-x} N$ Barrier	422
$In_x Ga_{1-x} N$ Well	420
Low mole $In_x Ga_{1-x} N$	418
Si-In co-doped GaN	416
$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	414
In-doped GaN	412
$In_x Ga_{1-x} N / In_y Ga_{1-y} N$ SL	408
In-doped GaN	406
버퍼층	404
기판	402